

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-198321

(43)Date of publication of application : 31.07.1998

(51)Int.Cl.

G09G 3/36
G02F 1/133
H04N 5/66

(21)Application number : 09-014688

(71)Applicant : SONY CORP

(22)Date of filing : 10.01.1997

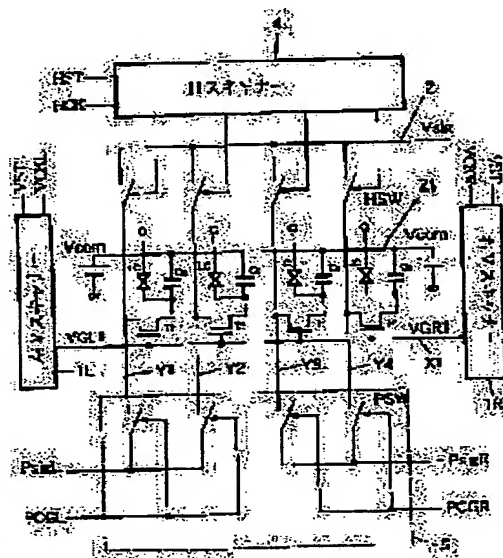
(72)Inventor : UCHINO KATSUhide

(54) ACTIVE MATRIX DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To restrain the voltage fluctuation of a video line due to the speedup of sampling rate.

SOLUTION: V-scanners 1L and 1R scan successively respective gate lines X1... for selecting the liquid crystal image element LC for one line for each one horizontal period. A H-scanner 4 carries out the sampling of image signals Vsig with regard to respective signal lines Y1 to Y4, and writes the image signal Vsig to the liquid crystal element LC for one line selected within one horizontal period. Before writing the image signal Vsig with regard to the liquid crystal image element LC, a precharge means 5 supplies a precharge signal Psig to the respective signal lines Y. The gate line X1 is divided into right and left parts at the center of the image plane including matrixlike image element LC, and V-scanners 1L, 1R are provided right and left so as to correspond to the gate lines X1 that have been divided right and left, and selects the image elements LC of right half line and left half line while shifting the respective phases within one horizontal period. The precharge means 5 supplies the precharge signal PsigL to the left-half signal lines Y1, Y2 before writing the image signal to the left-half image element, and supplies the precharge signal PsigR to the right-half signal lines Y3, Y4 before writing the image signal to the right-half image element.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination]

18.03.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3666161

[Date of registration]

15.04.2005



[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-198321

(43) 公開日 平成10年(1998) 7月31日

(51) Int.Cl.⁹

識別記号

F I

G 0 9 G 3/36

G 0 9 G 3/36

G 0 2 F 1/133

5 5 0

G 0 2 F 1/133

5 5 0

H 0 4 N 5/66

1 0 2

H 0 4 N 5/66

1 0 2 B

審査請求 未請求 請求項の数3 F D (全 9 頁)

(21) 出願番号

特願平9-14688

(22) 出願日

平成9年(1997) 1月10日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 内野 勝秀

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

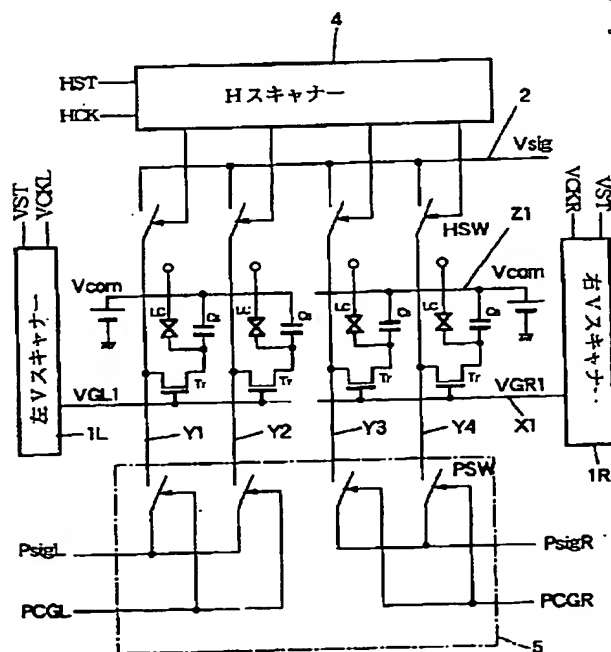
(74) 代理人 弁理士 鈴木 晴敏

(54) 【発明の名称】 アクティブマトリクス表示装置

(57) 【要約】

【課題】 サンプリングレートの高速化に伴うビデオラインの電位揺れを抑制する。

【解決手段】 Vスキャナー1L, 1Rは各ゲート線X1・・・を順次走査し、一水平期間毎に一行分の液晶画素LCを選択する。Hスキャナー4は各信号線Y1～Y4に対して映像信号Vsigをサンプリングし、一水平期間内に選択された一行分の液晶画素LCに映像信号Vsigを書き込む。プリチャージ手段5は液晶画素LCに対して映像信号Vsigを書き込む前に、各信号線Yにプリチャージ信号Psigを供給する。ゲート線X1は行列状の画素LCを含む画面の中央で左右に分割されており、Vスキャナー1L, 1Rは左右に分割されたゲート線X1に対応して左右に分かれて設けられ、一水平期間内で各々位相をずらして左半行及び右半行の画素LCを選択する。プリチャージ手段5は左半分の画素に映像信号を書き込む前に左半分の信号線Y1, Y2にプリチャージ信号PsigLを供給し、右半分の画素に映像信号を書き込む前に右半分の信号線Y3, Y4にプリチャージ信号PsigRを供給する。



(2)

1

【特許請求の範囲】

【請求項 1】 行状のゲート線と、列状の信号線と、両者の交差部に配された行列状の画素と、各ゲート線を順次走査し一水平期間毎に一行分の画素を選択する垂直走査回路と、各信号線に対して映像信号をサンプリングし一水平期間内に選択された一行分の画素に映像信号を書き込む水平走査回路と、画素に対して映像信号を書き込む前に各信号線に所定のプリチャージ信号を供給するプリチャージ手段とを備えたアクティブマトリクス表示装置であって、

前記ゲート線は行列状の画素を含む画面の中央で左右に分割されており、

前記垂直走査回路は左右に分割された該ゲート線に対応して左右に分かれて設けられ、一水平期間内で各々位相をずらして左半行及び右半行の画素を選択し、

前記プリチャージ手段は、左半行の画素に映像信号を書き込む前に左半分の信号線にプリチャージ信号を供給し、右半行の画素に映像信号を書き込む前に右半分の信号線にプリチャージ信号を供給することを特徴とするアクティブマトリクス表示装置。

【請求項 2】 前記プリチャージ手段は、一水平期間のブランキング区間内で左右いずれか半分の信号線に対するプリチャージ信号の供給を開始し、さらに該ブランキング区間が終る前に残り半分の信号線に対するプリチャージ信号の供給を開始することを特徴とする請求項 1 記載のアクティブマトリクス表示装置。

【請求項 3】 前記画面は画素毎に分かれた画素電極とこれに対向配置された対向電極とを含み、該対向電極は画面の左右分割に対応して左右に分かれており、左右の対向電極に対して別々の配線を介して所定の対向電圧を供給するとともに、左右の垂直走査回路に対して別々の配線を介して所定の接地電圧を供給することを特徴とする請求項 1 記載のアクティブマトリクス表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はアクティブマトリクス表示装置に関する。より詳しくは、信号線の高速走査に伴うビデオラインの電位揺れ抑制技術に関する。

【0002】

【従来の技術】図 6 を参照して従来のアクティブマトリクス表示装置の一般的な構成を簡潔に説明する。図示する様に、アクティブマトリクス表示装置は行状のゲート線 X と列状の信号線 Y とを備えている。両者の交差部には行列状の画素が配置している。個々の画素は、例えば液晶セル LC とこれを駆動する薄膜トランジスタ Tr からなる。また、V スキャナー（垂直走査回路）101 を有しており、各ゲート線 X を順次走査して、一水平期間毎に一行分の画素を選択する。また、水平走査回路を備えており、各信号線 Y に対し映像信号 V s i g をサンプリングし、一水平期間毎に選択された一行分の画素に映

2

像信号 V s i g を書き込む。この水平走査回路は個々の信号線 Y の端部に設けられた水平スイッチ H S W と、これらを順次開閉制御する H スキャナー 102 とからなる。各信号線 Y は上述した水平スイッチ H S W を介してビデオラインに接続されている。このビデオラインにはシグナルドライバ 103 から上述した映像信号 V s i g が供給される。H スキャナー 102 は各水平スイッチ H S W を順次開閉制御する為、サンプリングパルス ϕ_{H1} , ϕ_{H2} , ϕ_{H3} , \dots , ϕ_{HN} を出力する。

10 【0003】図 7 は、図 6 に示した H スキャナー 102 から順次出力されるサンプリングパルス ϕ_{H1} , ϕ_{H2} , ϕ_{H3} を示す波形図である。アクティブマトリクス表示装置の高精細化が進み画素数が顕著に増大すると、これに応じて映像信号のサンプリングレートが高速化される。この結果、各サンプリングパルスの幅 τ_H にばらつきが発生する様になる。サンプリングパルスが対応する水平スイッチ H S W に印加されると、ビデオラインから供給された映像信号 V s i g が導通した H S W を介して各信号線 Y にサンプリングされる。個々の信号線 Y には所定の容量成分がある為サンプリングパルスに応じて信号線 Y の充放電が生じ、これによりビデオラインの電位が揺らぐ。前述した様に、サンプリングレートが高速化された場合各サンプリングパルスのパルス幅がばらつく為、充放電量が一定せず、ビデオラインの電位が変動する。この電位変動が映像信号 V s i g に重畳され、表示された画像に縦筋が発生し画像品位を著しく損なうという欠点がある。

30 【0004】上述した欠点に対処する為所謂プリチャージ技術が提案されており、例えば特開平 7-295521 号公報に開示されている。図 8 を参照してプリチャージ技術を採用したアクティブマトリクス表示装置を簡潔に説明する。この表示装置は行状に配列したゲート線 X と列状に配列した信号線 Y を備えている。また、ゲート線 X と信号線 Y の交差部には液晶画素 LC が行列状に配されている。液晶画素 LC は薄膜トランジスタ Tr により駆動される。薄膜トランジスタ Tr のソース電極は対応する信号線 Y に接続され、ゲート電極は対応するゲート線 X に接続され、ドレイン電極は対応する液晶画素 LC に接続されている。各ゲート線 X には V スキャナー 101 が接続されており垂直走査回路を構成する。この V スキャナー 101 は所定のクロック信号 V C K に応じて垂直スタートパルス V S T を順次転送し、各ゲート線 X に対して選択パルス V G 1, \dots , V G M を供給する。これにより、各ゲート線 X を順次走査し、一水平期間毎に一行分の液晶画素 LC を選択する。一方、個々の信号線 Y は対応する水平スイッチング素子 H S W を介してビデオライン 2 に接続されている。このビデオライン 2 には外部のシグナルドライバ 3 から映像信号 V s i g が供給される。また、H スキャナー 4 を備えており、各水平スイッチング素子 H S W の開閉制御を行なう。即ち、H スキャ

50

(3)

3

ナー4は所定のクロック信号HCKに同期して水平スタートパルスHSTを順次転送し、サンプリングパルス $\phi H1$, $\phi H2$, $\phi H3$, \dots , ϕHN を出力して水平スイッチング素子HSWを開閉する。このHスキャナー4と水平スイッチング素子HSWとにより水平走査回路が構成され、各信号線Yに対して映像信号Vsigをサンプリングし、一水平期間内に選択された一行分の画素LCに対して導通状態にある薄膜トランジスタTrを介し映像信号Vsigを書き込む。

【0005】この表示装置は更にプリチャージ手段5を備えており、一行分の液晶画素LCに映像信号Vsigを書き込む直前、各信号線Yに所定のプリチャージ信号Psigを供給し、映像信号Vsigをサンプリングする際生じる各信号線Yの充放電量を低減化する。プリチャージ手段5は各信号線Yの端部に接続した複数のスイッチング素子PSWと、各スイッチング素子PSWを一斉に開閉してプリチャージ信号Psigを各信号線Yに印加する制御手段6とから構成されている。この制御手段6は制御パルスPCGを出力する。なお、プリチャージ信号Psigはシグナルドライバ3とは別に設けられた信号源7から供給される。このプリチャージ信号Psigは白レベルと黒レベルとの間で変化する映像信号Vsigに対して中間の灰レベルを有している。

【0006】次に、図9のタイミングチャートを参照して、図8に示した表示装置の動作を簡潔に説明する。Vスキャナー1に入力される垂直クロック信号VCKは一水平期間(1H)に相当するパルス幅を有する。また、制御手段6から出力される制御パルスPCGは例えば水平ブランキング区間などの水平非有効期間内に出力される。この制御パルスPCGが水平有効期間内にまでかかると、液晶画素にプリチャージ信号Psigが書き込まれる恐れがある。次にHスキャナー4に供給される水平スタートパルスHSTは一水平期間毎制御パルスPCGの直後に出力され、映像信号Vsigのサンプリングを開始する。このサンプリングパルスはHスキャナー4に供給される水平クロック信号HCKに同期して順次出力される。一方、シグナルドライバ3からビデオライン2を介して供給される映像信号Vsigは一水平期間毎に極性反転しており交流駆動が行なわれる。これに応じて、信号源7から供給されるプリチャージ信号Psigも一水平期間毎に反転し、映像信号Vsigに対して極性を一致させている。このプリチャージ信号Psigは映像信号Vsigの中心電位に対してVpの電位レベルを有し、丁度白レベルと黒レベルの中間に位置する灰レベルを表わしている。図9のタイミングチャートの最後の波形は、個々の信号線Yに印加される電位VYの変化を表わしている。一水平期間の最初に制御信号PCGが出力され追加のスイッチング素子PSWが導通すると、全信号線Yにプリチャージ信号Psigが印加され、容量成分に対して充放電が行なわれる。このプリチャージ

4

信号Psigの印加により、各信号線Yの電位VYはVpのレベルになる。この後、各信号線Yに対して実際の映像信号Vsigがサンプリングされ、その電位VYはVsigに応じて変化し書き込みが実行される。書き込みに伴う電位変化 ΔV は $Vsig - Vp$ に低減されており、充放電量が少なくなる。これにより、ビデオライン2の電位揺れを抑制でき、ユニフォームティは大きく向上する。

【0007】

【発明が解決しようとする課題】ところで、表示装置をテレビやパーソナルコンピュータのモニターとして用いる場合、種々の規格(フォーマット)が存在しており、例えばNTSC、VGA、SVGA、XGA、SXGA、HDなどが挙げられる。比較的低精細のVGAやSVGA規格では水平ブランキング区間は5 μ sec以上であるが、比較的高精細のXGA、SXGAになると水平ブランキング区間は3乃至4 μ secと短くなり、この時間ではプリチャージを行なうことは非常に困難である。XGAフォーマット(1024H \times 768V)、SXGAフォーマット(1280H \times 1024V)などにプリチャージ方式を適用した場合、垂直画素数が多くなる為、図10に示す様に配線クロス容量Cが増加する。このクロス容量Cはゲート線Xと信号線Yの交差部に現れる。この結果、信号線Xの容量が増加する。また、前述した様にXGAやSXGAのフォーマットでは水平ブランキング区間が極めて短い。

【0008】この為、図11に示すように、プリチャージを行なう為の制御信号PCGのパルス幅が短く、本来信号線Xに書き込みたいレベルに到達しないまま信号線電位VYをホールドしてしまう。仮に、プリチャージ用制御パルスPCG'の様に充分パルス幅が長ければ、信号線電位VY'で示す様に信号線Xに書き込みたいレベルをホールドすることができる。しかしながら、実際にはこの様に充分なプリチャージ信号の書き込み時間を確保することは困難である。

【0009】

【課題を解決する為の手段】上述した従来の技術の課題を解決する為に以下の手段を講じた。即ち、本発明に係るアクティブマトリクス表示装置は基本的な構成として、行状のゲート線と、列状の信号線と、両者の交差部に配された行列状の画素とを備えている。また、各ゲート線を順次走査し一水平期間毎に一行分の画素を選択する垂直走査回路と、各信号線に対して映像信号をサンプリングし、一水平期間内に選択された一行分の画素に映像信号を書き込む水平走査回路とを有している。更に、プリチャージ手段を備えており、画素に対して映像信号を書き込む前に各信号線に所定のプリチャージ信号を供給する。特徴事項として、前記ゲート線は行列状の画素を含む画面の中央で左右に分割されている。また、前記垂直走査回路は左右に分割された該ゲート線に対応して左

(4)

5

右に分かれて設けられ、一水平期間内で各々位相をずらして左半行及び右半行の画素を選択する。更に、前記プリチャージ手段は左半行の画素に映像信号を書き込む前に左半分の信号線にプリチャージ信号を供給し、右半行の画素に映像信号を書き込む前に右半分の信号線にプリチャージ信号を供給する。好ましくは前記プリチャージ手段は、一水平期間のブランキング区間内で左右何れか半分の信号線に対するプリチャージ信号の供給を開始し、更に該ブランキング区間が終わる前に残り半分の信号線に対するプリチャージ信号の供給を開始する。また好ましくは、前記画面は画素毎に分かれた画素電極とこれに対向配置された対向電極とを含む。該対向電極は画面の左右分割に対応して左右に分かれており、左右の対向電極に対して別々の配線を介して所定の対向電圧を供給する。同時に、左右の垂直走査回路に対して別々の配線を介して所定の接地電圧を供給する。

【0010】点順次方式を採用したアクティブマトリクス表示装置において、XGA、SXGA、HDなどのフォーマットの様に水平ブランキング区間が短くなると、この時間内で十分なプリチャージを行なうことはできない。そこで本発明ではゲート線などを画面の中央で切り離し、例えば画面左半分が映像信号を書き込んでいる時、画面右半分はプリチャージを行なう様にす。また、画面の右半分が映像信号を書き込んでいる時は、左半分にプリチャージを行なう。これにより、プリチャージ時間が充分に確保でき、表示のユニフォームリティが改善可能になる。

【0011】

【発明の実施の形態】以下図面を参照して本発明の最良な実施形態を詳細に説明する。図1は本発明に係るアクティブマトリクス表示装置の第1実施形態を示す模式的な回路図である。図示する様に、本アクティブマトリクス表示装置は行状に配列したゲート線と列状に配列した信号線とを備えている。図示を簡略化する為、一本のゲート線X1及び4本の信号線Y1乃至Y4のみを表わしている。また、ゲート線Xと信号線Yの交差部には液晶画素LCが行列状に配されている。本実施形態のアクティブマトリクス表示装置は液晶画素を備えているが、他の電気光学物質からなる画素であってもよいことは勿論である。この液晶画素LCは画素電極と対向電極との間に電気光学物質として液晶を介在させたものである。また、本実施形態では液晶画素LCと平行に補助容量Csも形成されている。液晶画素LCは薄膜トランジスタTrにより駆動される。薄膜トランジスタTrのソース電極は対応する信号線Yに接続され、ゲート電極は対応するゲート線Xに接続され、ドレイン電極は対応する液晶画素LCの画素電極に接続されている。更に、ドレイン電極は対応する補助容量Csの一方の電極にも接続されている。補助容量Csの他方の電極は補助線Z1に接続されている。この補助線Z1には所定の対向電圧Vcom

6

mが印加されている。なお、液晶画素LCの対向電極にもこの対向電圧Vcomが印加されている。従って、補助線Z1と対向電極は表示装置内で互いに結線されている。

【0012】ゲート線Xは行状の画素LCを含む画面の中央で左右に分割されている。また補助線Z及び対向電極も左右に分割されている。左右に分割されたゲート線Xに対応して左Vスキャナー1L及び右Vスキャナー1Rが設けられている。一對の左Vスキャナー1L及び右Vスキャナー1Rは合わせて垂直走査回路を構成し、各ゲート線Xを順次走査し一水平期間毎に1行分の画素LCを選択する。左Vスキャナー1Lは所定のクロック信号VCKLに応じて垂直スタートパルスVSTを順次転送し、ゲート線Xに対して選択パルスVGLを供給する。これにより、左半分の各ゲート線Xを順次走査し、一水平期間毎に左半行分の液晶画素LCを選択する。同様に、右Vスキャナー1Rは所定のクロック信号VCKRに応じて垂直スタートパルスVSTを順次転送し、各ゲート線Xに対して選択パルスVGRを供給する。これにより、各ゲート線Xを順次走査し、一水平期間毎に右半行分の液晶画素LCを選択する。この際、VCKLとVCKRは位相がずれている。この様に、本発明では垂直走査回路は左右に分割されたゲート線Xに対応して左右に分かれて設けられ、一水平期間内で各々位相をずらして左半行及び右半行の画素を選択している。

【0013】一方、個々の信号線Yは対応する水平スイッチング素子HSWを介してビデオライン2に接続されている。このビデオライン2には外部から映像信号Vsigが供給される。また、Hスキャナー4を備えており、各水平スイッチング素子HSWの開閉制御を行なう。即ち、Hスキャナー4は所定のクロック信号HCKに同期して、水平スタートパルスHSTを順次転送し、サンプリングパルスを出力して水平スイッチング素子HSWを開閉する。このHスキャナー4と水平スイッチング素子HSWとにより水平走査回路が構成され、各信号線Yに対して映像信号Vsigをサンプリングし、一水平期間内に選択された一行分の画素LCに対して導通状態にある薄膜トランジスタTrを介し映像信号Vsigを書き込む。

【0014】本アクティブマトリクス表示装置はプリチャージ手段5を備えており、画素LCに対して映像信号Vsigを書き込む前に各信号線Yに所定のプリチャージ信号Psigを供給し、映像信号Vsigをサンプリングする際生じる各信号線Yの充放電量を低減化する。特徴事項として、このプリチャージ手段5は左半分の画素LCに映像信号Vsigを書き込む前に左半分の信号線Y1、Y2にプリチャージ信号PsigLを供給し、右半分の画素LCに映像信号Vsigを書き込む前に右半分の信号線Y3、Y4にプリチャージ信号PsigRを供給する。このように、本発明ではゲート線X、補助

(5)

7

線Z、対向電極を画面の中央付近で切り離したのに対応して、プリチャージ手段5はプリチャージ信号P s i g L、P s i g Rを左右別々に設けている。また、プリチャージ手段5に含まれるスイッチング素子PSWを開閉制御する為の制御パルスPCGL、PCGRも左右別々に設けている。更に、左Vスキャナー1L及び右Vスキャナー1Rに入力されるクロック信号VCKL、VCKRも別々に設ける。このVCKLとVCKR、PCGLとPCGR、P s i g LとP s i g Rはそれぞれ一水平期間(1H)の約半分程度の位相をずらす。係る構成により、画面の左半分が映像信号V s i gを書き込んでいる時は画面右半分はプリチャージ信号P s i g Rを書き込む。また、画面右半分が映像信号V s i gを書いている時は画面左半分にプリチャージ信号P s i g Lを書き込む。P s i g LとP s i g Rは位相のみずれるだけで、信号レベルは同じにしても、代えても構わない。

【0015】図2のタイミングチャートを参照して、図1に示したアクティブマトリクス表示装置の動作を説明する。HSTに応じてHスキャナー4が動作を開始し、初めに左半分の画素に映像信号V s i gを書き込み始め、次に右半分の画素に映像信号を書き込む。一行分の映像信号の書き込み期間は1H内に納まる。VCKLとVCKRは互いに位相が1Hの半分程度ずれている。同様に、PCGLとPCGRの位相も半分程度ずれている。更に、左右のプリチャージ信号P s i g LとP s i g Rも位相が半分程度ずれている。FRPは1H毎に映像信号V s i gを反転する為の信号である。左Vスキャナー1L及び右Vスキャナー1Rから順次出力される選択パルスVGL及びVGRも互いに位相がずれている。係るタイミングにおいて、画面の左半分に映像信号V s i gを書き始める前にプリチャージ用の制御パルスPCGLが出力され、画面左半分の信号線に対してプリチャージ信号P s i g Lが書き込まれる。この後、画面の左半分に映像信号が実際に書き込まれる。この時、画面の右半分に映像信号が書き込まれる前に、プリチャージ用の制御パルスPCGRが出力される。これにより、画面の右半分の信号線にプリチャージ信号P s i g Rが書き込まれる。この後、画面の右半分に映像信号が書き込まれる。そして画面の左半分に対する映像信号の書き込みが終了した後、VGLが立ち下がり、画素に書き込まれた映像信号がホールドされる。この後再び次の制御パルスPCGLが出力され、画面の左半分の信号線に対して反対極性のP s i g Lが書き込まれる。以上の様に、画面左半分が映像信号を書き込んでいる時、画面右半分はプリチャージ信号P s i g Rを書き込み、逆に右半分が映像信号を書き込んでいる時は左半分にプリチャージ信号P s i g Lを書き込むことができ、1H期間の約半分近くの時間をプリチャージ信号書き込み時間に当てられる。

【0016】図3は本発明に係るアクティブマトリクス

8

表示装置の第2実施形態を示す模式的な回路図である。図1に示した第1実施形態と対応する部分には対応する参照番号を付して理解を容易にしている。なお、図示を簡略化する為、液晶画素LCは省略してある。第1実施形態と同様に、ゲート線X及び補助線Zは画面のほぼ中央で左右に分割されている。しかしながら、左右に分かれた補助線Zには外部から共通の対向電圧V c o mが内部配線を介して供給されている。左右に分かれたゲート線Xはそれぞれインバータからなるバッファ10を介して左右のVスキャナー1L、1Rの出力段に接続されている。各バッファ10には内部配線を介して共通の接地電位VSSが供給されている。

【0017】次に図4のタイミングチャートを参照して図3に示したアクティブマトリクス表示装置の動作を説明する。(A)は図2に示したタイミングチャートと同様のタイミングにより動作を行なった場合を表わしている。例えばXGAフォーマットの場合一水平期間(1H)は14 μ s程度である。この内、実際の映像信号の書き込み期間には10 μ s程度が割り当てられ、水平ブランキング区間には3.7 μ sの時間が割り当てられる。画面の左半分に対するプリチャージ信号の書き始めタイミングはPCGLの立ち上がり時であり、画面の右半分に対するプリチャージ信号の書き始めタイミングはPCGRの立ち上がり時となる。PCGLが立ち上がった時プリチャージ信号の書き始めに応じて左半分の補助線の電位V c o m Lが揺れる。同様に、PCGRが立ち上がった時右半分の補助線の電位V c o m Rも揺れる。ところが、左右の補助線は内部配線で接続されているため、一方の電位揺れが他方の電位揺れをもたらし、V c o mライン全体が揺らぐことになる。なお、図示しないがVSSラインについても同様に揺らぎが生じる。この為、画面片半分のプリチャージによる電位揺れが画面他半分の映像信号書き込みに乗ってくる為、画品位を損なう場合がある。

【0018】そこで本実施形態では(B)に示す様に、プリチャージ信号の書き始めタイミングを水平ブランキング区間に納めることで、V c o mライン及びVSSラインの電位揺れに起因する問題を解決している。具体的には、PCGL'及びPCGR'で示す様に立ち上がりタイミングを水平ブランキング区間に納め、V c o m L'及びV c o m R'が揺れている時間を水平ブランキング区間に置く様に、即ち、左右分割プリチャージを行なう際、一方のプリチャージ信号書き込み時におけるV c o mライン及びVSSラインの揺れが、もう一方の映像信号書き込みに影響しない様に、左右のプリチャージ信号P s i g L、P s i g Rの書き始めタイミングを水平ブランキング区間にする。より正確には、プリチャージ信号の書き始めからこれによって生じる電位揺れが納まるまでの時間を水平ブランキング区間に置く。以上の様に、本実施形態では、一水平期間の

(6)

9

ブランキング区間内で左右何れか半分の信号線に対するプリチャージ信号の供給を開始し、更に該ブランキング区間が終わる前に残り半分の信号線に対するプリチャージ信号の供給を開始する。

【0019】図5は、本発明に係るアクティブマトリクス表示装置の第3実施形態を示す模式的な回路図である。理解を容易にする為、図3に示した第2実施形態と対応する部分には対応する参照番号を付してある。この実施形態でも、左右分割プリチャージを行なう為、画面のほぼ中央でゲート線X及び補助線Zを左右に切り離している。しかしながら、第2実施形態の様にVcomラインやVSSラインを共通にすると、画面の片半分がプリチャージ信号の書き込みによってゲート線Xや補助線Zが揺れると、この共通のVSS配線及びVcom配線を介して画面の他半分に乘ってくる為画品位を損なう場合もある。そこで本実施形態では上記問題を回避する為、画面の左右別々にVSSライン及びVcomラインを設けて外部から入力する様にしている。即ち、本実施形態ではプリチャージの電位揺れの系を電氣的に完全に切り離す為、画面の左側と右側各々にVSSライン及び

【0020】

【発明の効果】以上説明したように、本発明によれば、画面を左右に分割しタイミングをずらしてプリチャージ信号を書き込んでいる。これにより、水平ブランキング

10

区間が短いフォーマット(XGA, SXGA, HD)であっても、充分プリチャージを行なうことができ、従来問題となっていた縦筋、クロストーク、シェーディングなどの欠陥を抑制して画品位を大幅に改善することが可能になる。

【図面の簡単な説明】

【図1】本発明に係るアクティブマトリクス表示装置の第1実施形態を示す回路図である。

【図2】第1実施形態の動作説明に供するタイミングチャートである。

【図3】本発明に係るアクティブマトリクス表示装置の第2実施形態を示す回路図である。

【図4】第2実施形態の動作説明に供するタイミングチャートである。

【図5】本発明に係るアクティブマトリクス表示装置の第3実施形態を示す回路図である。

【図6】従来のアクティブマトリクス表示装置の一例を示す回路図である。

【図7】図6に示した従来のアクティブマトリクス表示装置の動作説明に供するタイミングチャートである。

【図8】従来のアクティブマトリクス表示装置の他の例を示す回路図である。

【図9】図8に示した従来のアクティブマトリクス表示装置の動作説明に供するタイミングチャートである。

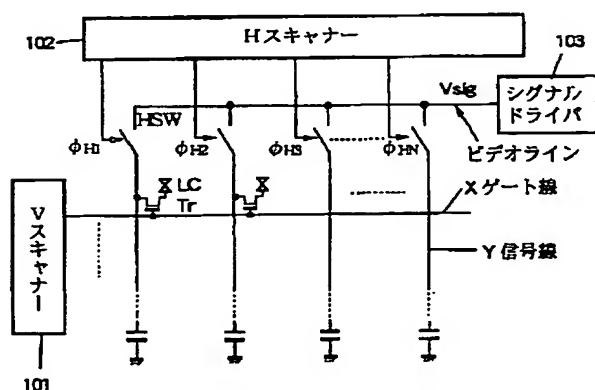
【図10】図8に示した従来のアクティブマトリクス表示装置の課題説明に供する回路図である。

【図11】同じく課題説明に供するタイミングチャートである。

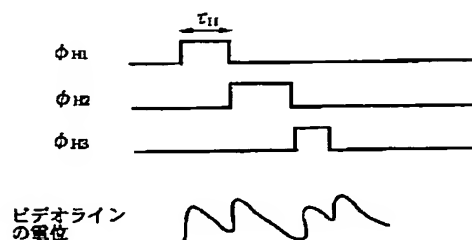
【符号の説明】

1L・・・左Vスキャナー、1R・・・右Vスキャナー、2・・・ビデオライン、4・・・Hスキャナー、5・・・プリチャージ手段

【図6】

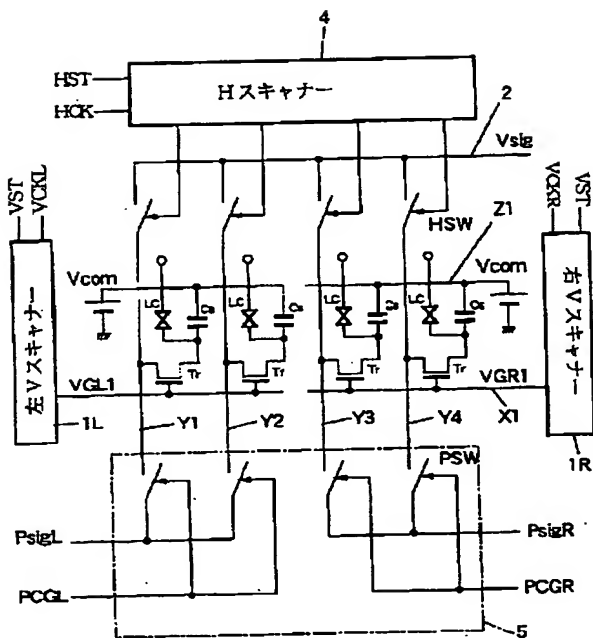


【図7】

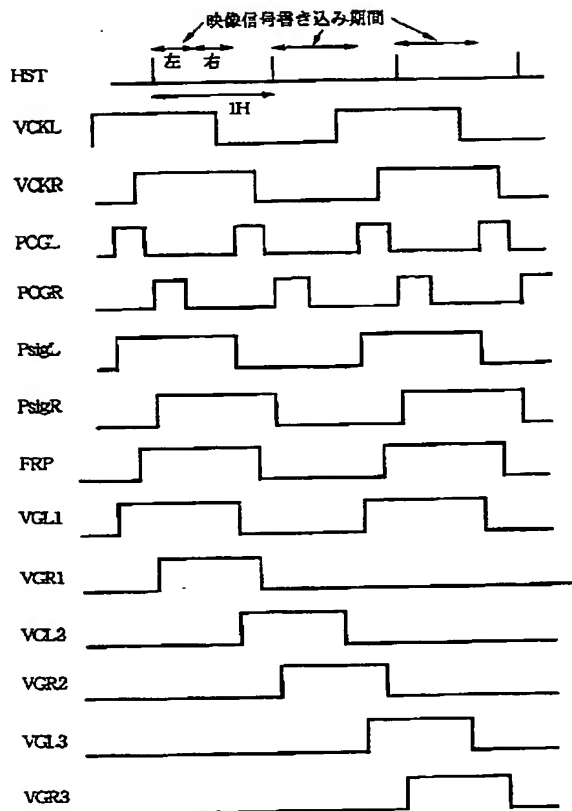


(7)

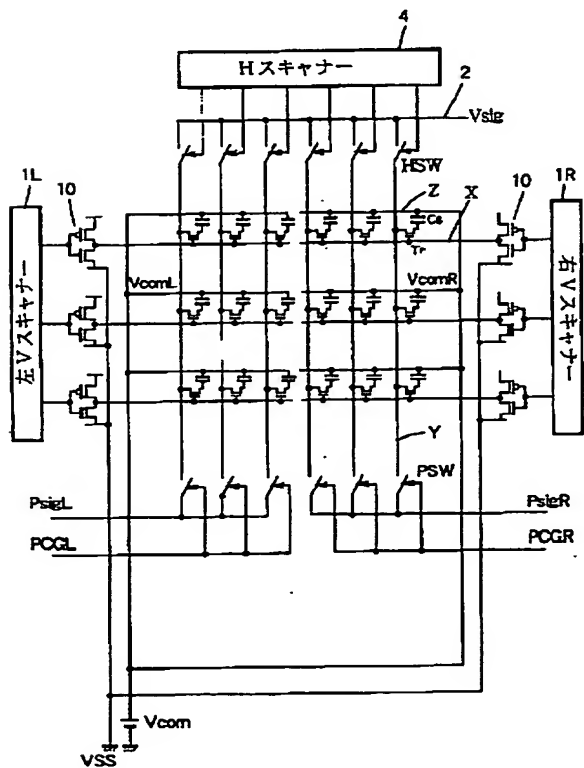
【図 1】



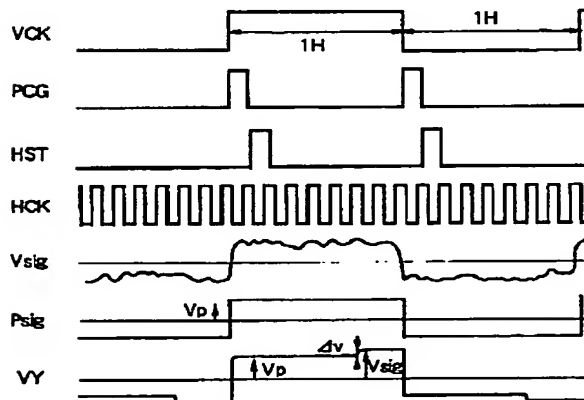
【図 2】



【図 3】

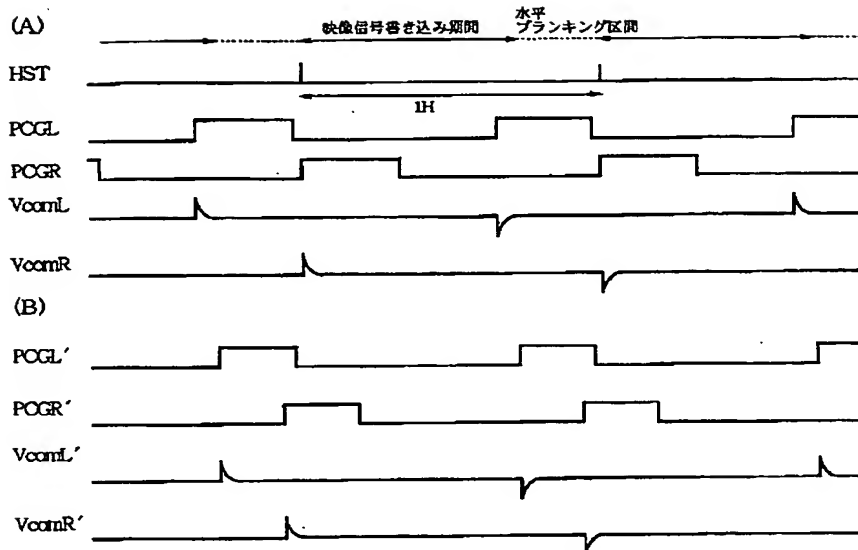


【図 9】

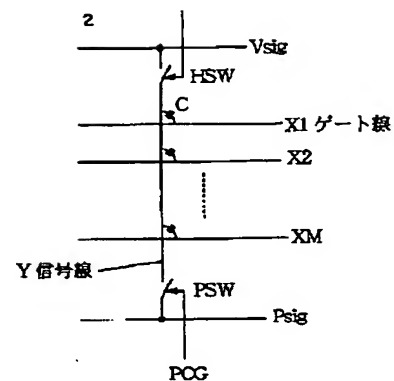


(8)

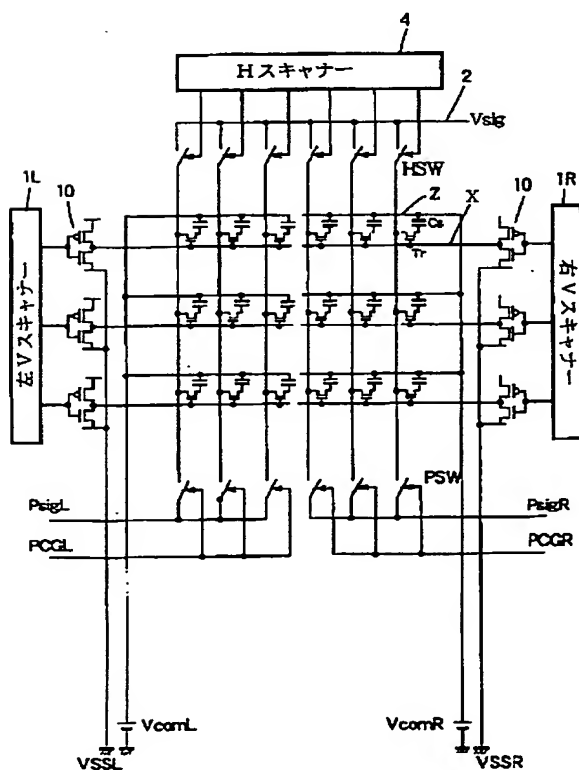
【図4】



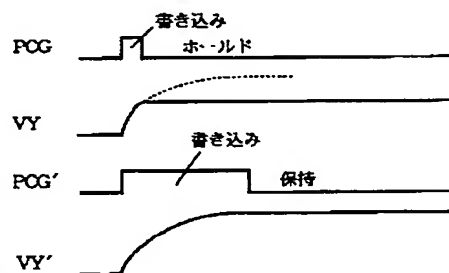
【図10】



【図5】

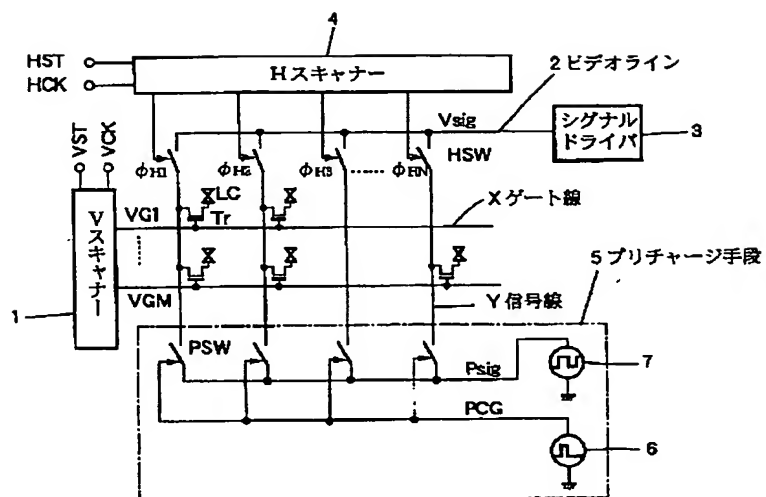


【図11】



(9)

【図8】



* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The gate line of behavior, a seriate signal line, and the pixel of the letter of a matrix allotted to both intersection, The vertical-scanning circuit which scans each gate line sequentially and chooses the pixel for a party for every 1 level period, The horizontal scanning circuit which writes a video signal in the pixel for the party which sampled the video signal to each signal line, and was chosen within the 1 level period, It is the active-matrix display which equipped each signal line with a precharge means to supply a predetermined precharge signal before writing in a video signal to a pixel. Said gate line is divided into right and left in the center of the screen containing the pixel of the letter of a matrix. Said vertical-scanning circuit is divided and established in right and left corresponding to this gate line divided into right and left. At least each shifts a phase within a 1 level period, and the pixel of ***** and ***** is chosen. Said precharge means The active-matrix display characterized by supplying a precharge signal to the signal line of a left half before writing a video signal in the pixel of ***** , and supplying a precharge signal to the signal line of a right half before writing a video signal in the pixel of *****.

[Claim 2] said precharge means -- the inside of the blanking section of a 1 level period -- one of right and left -- the active-matrix display according to claim 1 characterized by starting supply of the precharge signal over a half signal line, and remaining before this blanking section finishes further, and starting supply of the precharge signal over a half signal line.

[Claim 3] Said screen contains the counterelectrode by which opposite arrangement was carried out in the pixel electrode divided for every pixel, and this, and this counterelectrode is a active-matrix display according to claim 1 characterized by supplying a predetermined touch-down electrical potential difference through separate wiring to a vertical-scanning circuit on either side while corresponding comparatively, being divided into right and left and supplying a predetermined opposite electrical potential difference through separate wiring to a counterelectrode on either side an influenced part of a screen.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a active-matrix display. It is related with the potential shake control technique of the video line accompanying rapid scanning of a signal line in more detail.

[0002]

[Description of the Prior Art] With reference to drawing 6, the general configuration of the conventional active-matrix display is explained briefly. The active-matrix display is equipped with the gate line X of behavior, and the seriate signal line Y so that it may illustrate. The pixel of the letter of a matrix arranges to both intersection. Each pixel consists of a thin film transistor Tr which drives liquid crystal cell LC and this. Moreover, it has the V scanner (vertical-scanning circuit) 101, each gate line X is scanned sequentially, and the pixel for a party is chosen for every 1 level period. Moreover, it has the horizontal scanning circuit, a video signal Vsig is sampled to each signal line Y, and a video signal Vsig is written in the pixel for the party chosen for every 1 level period. This horizontal scanning circuit consists of a level switch HSW formed in the edge of each signal line Y, and an H scanner 102 which carries out sequential closing motion control of these. Each signal line Y is connected to the video line through the level switch HSW mentioned above. The video signal Vsig mentioned above from the signal driver 103 is supplied to this video line. The H scanner 102 outputs a sampling pulse $\phi H1$, $\phi H2$, $\phi H3$, ..., ϕHN in order to carry out sequential closing motion control of each level switch HSW.

[0003] Drawing 7 is the wave form chart showing the sampling pulse $\phi H1$ by which a sequential output is carried out from the H scanner 102 shown in drawing 6, $\phi H2$, and $\phi H3$. If highly minute-ization of a active-matrix display progresses and the number of pixels increases notably, the sampling rate of a video signal will be accelerated according to this. Consequently, width-of-face τH of each sampling pulse Dispersion comes to occur. If impressed by the level switch HSW with which a sampling pulse corresponds, it will be sampled by each signal line Y through HSW through which the video signal Vsig supplied from the video line flowed. Since there is a predetermined capacity component in each signal line Y, according to a sampling pulse, the charge and discharge of a signal line Y arise, and thereby, the potential of a video line swings. Since the pulse width of each sampling pulse varies like when [which was mentioned above] a sampling rate is accelerated, the amount of charges and discharges is not fixed, and the potential of a video line is changed. A vertical reinforcement occurs in the image with which the video signal Vsig was overlapped on this potential fluctuation, and it was displayed on it, and there is a fault of spoiling image grace remarkably.

[0004] In order to cope with the fault mentioned above, the so-called precharge technique is proposed, for example, it is indicated by JP,7-295521,A. The active-matrix display which adopted the precharge technique with reference to drawing 8 is explained briefly. This display is equipped with the gate line X arranged to behavior, and the signal line Y arranged to seriate. Moreover, the liquid crystal pixel LC is allotted to the intersection of the gate line X and a signal line Y in the shape of a matrix. The liquid crystal pixel LC is driven by the thin film transistor Tr. The source electrode of a thin film transistor Tr is connected to the corresponding signal line Y, a gate electrode is connected to the corresponding gate

line X, and the drain electrode is connected to the corresponding liquid crystal pixel LC. The V scanner 1 is connected to each gate line X, and a vertical-scanning circuit is constituted. This V scanner 1 carries out the sequential transfer of the perpendicular start pulse VST according to the predetermined clock signal VCK, and supplies the selection pulses VG1, ..., VGM to each gate line X. Thereby, each gate line X is scanned sequentially and the liquid crystal pixel LC for a party is chosen for every 1 level period. On the other hand, each signal line Y is connected to the video line 2 through the corresponding level switching element HSW. A video signal Vsig is supplied to this video line 2 from the external signal driver 3. Moreover, it has the H scanner 4 and closing motion control of each level switching element HSW is performed. That is, the H scanner 4 carries out the sequential transfer of the level start pulse HST synchronizing with the predetermined clock signal HCK, outputs a sampling pulse $\phi H1$, $\phi H2$, $\phi H3$, ..., ϕHn , and opens and closes the level switching element HSW. A horizontal scanning circuit is constituted by this H scanner 4 and level switching element HSW, a video signal Vsig is sampled to each signal line Y, and a video signal Vsig is written in through the thin film transistor Tr which is in switch-on to the pixel LC for the party chosen within the 1 level period.

[0005] Just before this indicating equipment is further equipped with the precharge means 5 and writes a video signal Vsig in the liquid crystal pixel LC for a party, it supplies the predetermined precharge signal Psig to each signal line Y, and reduction-izes the amount of charges and discharges of each signal line Y produced in case a video signal Vsig is sampled. The precharge means 5 consists of two or more switching element PSW linked to the edge of each signal line Y, and a control means 6 which open and close each switching element PSW all at once, and impresses the precharge signal Psig to each signal line Y. This control means 6 outputs control pulse PCG. In addition, the precharge signal Psig is supplied from the source 7 of a signal prepared independently [the signal driver 3]. This precharge signal Psig has middle ashes level to the video signal Vsig which changes between a white level and black level.

[0006] Next, with reference to the timing chart of drawing 9, actuation of the display shown in drawing 8 is explained briefly. The perpendicular clock signal VCK inputted into the V scanner 1 has the pulse width equivalent to a 1 level period (1H). Moreover, control pulse PCG outputted from a control means 6 is outputted within horizontal non-shelf-lives, such as for example, the level blanking section. When this control pulse PCG starts even within a level shelf-life, there is a possibility that the precharge signal Psig may be written in a liquid crystal pixel. Next, the level start pulse HST supplied to the H scanner 4 is outputted immediately after control pulse PCG the whole 1 level period, and starts the sampling of a video signal Vsig. Synchronizing with the level clock signal HCK supplied to the H scanner 4, the sequential output of this sampling pulse is carried out. On the other hand, the video signal Vsig supplied through the video line 2 from the signal driver 3 is inverted for every 1 level period, and an alternating current drive is performed. It is reversed for every 1 level period, and the precharge signal Psig supplied from the source 7 of a signal is making the polarity in agreement according to this to a video signal Vsig. This precharge signal Psig has the potential level of **** to the main potential of a video signal Vsig, and expresses the ashes level exactly located in the middle of a white level and black level. The wave of the last of the timing chart of drawing 9 expresses change of the potential VY impressed to each signal line Y. If a control signal PCG is outputted to the beginning of a 1 level period and additional switching element PSW flows, the precharge signal Psig will be impressed to all the signal lines Y, and charge and discharge will be performed to a capacity component. By impression of this precharge signal Psig, the potential VY of each signal line Y is ****. It is set to level. Then, the actual video signal Vsig is sampled to each signal line Y, that potential VY changes according to Vsig, and writing is performed. Potential change ΔV accompanying writing is $V_{sig} - ****$. It decreases and the amount of charges and discharges decreases. Thereby, the potential shake of the video line 2 can be controlled, and uniformity improves greatly.

[0007]

[Problem(s) to be Solved by the Invention] By the way, when using an indicating equipment as a monitor of television or a personal computer, various specification (format) exists, for example, NTSC, VGA, SVGA, XGA, SXGA, HD, etc. are mentioned. comparatively -- low -- although the level

blanking section is more than 5microsec by minute VGA or SVGA specification, it is very difficult for the level blanking section to become short with 3 thru/or 4microsec, if set to comparatively high definition XGA and SXGA, and to precharge in this time amount. Since the number of perpendicular pixels increases when a precharge method is applied to an XGA format (1024Hx768V), a SXGA format (1280Hx1024V), etc., as shown in drawing 10, the wiring cross capacity C increases. This cross capacity C appears in the intersection of the gate line X and a signal line Y. Consequently, the capacity of a signal line X increases. Moreover, in a format of XGA or SXGA, the level blanking section is very short to the appearance mentioned above.

[0008] For this reason, as shown in drawing 11, the pulse width of the control signal PCG for precharging is short, and the signal-line potential VY will be held, with level not reached to write in a signal line X originally. Temporarily, if pulse width excels enough like control pulse PCG' for precharge, level to write in a signal line X, as signal-line potential VY' shows can be held. However, it is difficult to secure the write-in time amount of sufficient precharge signal for this appearance in fact.

[0009]

[Means for Solving the Problem] The following means were provided in order to solve the technical problem of a Prior art mentioned above. That is, the active-matrix display concerning this invention is equipped with the gate line of behavior, the seriate signal line, and the pixel of the letter of a matrix allotted to both intersection as a fundamental configuration. Moreover, it has the vertical-scanning circuit which scans each gate line sequentially and chooses the pixel for a party for every 1 level period, and the horizontal scanning circuit which writes a video signal in the pixel for the party which sampled the video signal to each signal line, and was chosen within the 1 level period. Furthermore, it has the precharge means, and before writing in a video signal to a pixel, a predetermined precharge signal is supplied to each signal line. As a description matter, said gate line is divided into right and left in the center of the screen containing the pixel of the letter of a matrix. Moreover, said vertical-scanning circuit is divided and established in right and left corresponding to this gate line divided into right and left, and at least each shifts a phase within a 1 level period, and it chooses the pixel of ***** and *****.

Furthermore, said precharge means supplies a precharge signal to the signal line of a left half, before writing a video signal in the pixel of ***** , and before it writes a video signal in the pixel of ***** , it supplies a precharge signal to the signal line of a right half. desirable -- said precharge means -- the inside of the blanking section of a 1 level period -- right and left -- supply of the precharge signal over the signal line of any or one half is started, before this blanking section finishes further, it remains, and supply of the precharge signal over a half signal line is started. Moreover, said screen contains preferably the counterelectrode by which opposite arrangement was carried out in the pixel electrode divided for every pixel, and this. This counterelectrode is divided into right and left corresponding to right-and-left division of a screen, and supplies a predetermined opposite electrical potential difference through separate wiring to a counterelectrode on either side. A predetermined touch-down electrical potential difference is supplied to coincidence through separate wiring to a vertical-scanning circuit on either side.

[0010] In the active-matrix indicating equipment which adopted the dot sequential system, XGA, SXGA, HD, etc. cannot perform precharge sufficient within this time amount, if the level blanking section becomes short like a format. So, in this invention, while a gate line etc. is separated in the center of a screen, for example, the screen left half is writing in the video signal, a screen right half is made to precharge. Moreover, while the right half of a screen is writing in the video signal, it precharges in the left half. Thereby, precharge time amount can fully secure and the uniformity of a display becomes improvable.

[0011]

[Embodiment of the Invention] With reference to a drawing, an operation gestalt with best this invention is explained to a detail below. Drawing 1 is the typical circuit diagram showing the 1st operation gestalt of the active-matrix display concerning this invention. This active-matrix display is equipped with the gate line arranged to behavior, and the signal line arranged to seriate so that it may illustrate. In order to simplify illustration, only one gate line X1 and four signal lines Y1 thru/or Y4 are expressed. Moreover,

the liquid crystal pixel LC is allotted to the intersection of the gate line X and a signal line Y in the shape of a matrix. Although the active-matrix display of this operation gestalt is equipped with the liquid crystal pixel, of course, you may be the pixel which consists of other electrooptic material. This liquid crystal pixel LC makes liquid crystal intervene as electrooptic material between a pixel electrode and a counterelectrode. Moreover, the auxiliary capacity Cs is formed in the liquid crystal pixel LC and parallel with this operation gestalt. The liquid crystal pixel LC is driven by the thin film transistor Tr. The source electrode of a thin film transistor Tr is connected to the corresponding signal line Y, a gate electrode is connected to the corresponding gate line X, and the drain electrode is connected to the corresponding pixel electrode of the liquid crystal pixel LC. Furthermore, the drain electrode is connected also to one corresponding electrode of the auxiliary capacity Cs. The electrode of another side of the auxiliary capacity Cs is connected to the auxiliary line Z1. The predetermined opposite electrical potential difference Vcom is impressed to this auxiliary line Z1. In addition, this opposite electrical potential difference Vcom is impressed also to the counterelectrode of the liquid crystal pixel LC. Therefore, connection of an auxiliary line Z1 and the counterelectrode of each other is carried out within the display.

[0012] The gate line X is divided into right and left in the center of the screen containing the pixel LC of behavior. Moreover, the auxiliary line Z and the counterelectrode are also divided into right and left. Corresponding to the gate line X divided into right and left, left V scanner 1L and right V scanner 1R are prepared. Left V scanner 1L of a pair and right V scanner 1R double, constitute a vertical-scanning circuit, scan each gate line X sequentially, and choose the pixel LC for one line for every 1 level period. Left V scanner 1L carries out the sequential transfer of the perpendicular start pulse VST according to predetermined clock signal VCKL, and supplies the selection pulse VGL to the gate line X. Thereby, each gate line X of a left half is scanned sequentially, and the liquid crystal pixel LC for ***** is chosen for every 1 level period. Similarly, right V scanner 1R carries out the sequential transfer of the perpendicular start pulse VST according to predetermined clock signal VCKR, and supplies the selection pulse VGR to each gate line X. Thereby, each gate line X is scanned sequentially and the liquid crystal pixel LC for ***** is chosen for every 1 level period. Under the present circumstances, as for VCKL and VCKR, the phase has shifted. Thus, in this invention, the vertical-scanning circuit was divided and established in right and left corresponding to the gate line X divided into right and left, and at least each shifted the phase within the 1 level period, and it has chosen the pixel of ***** and *****.

[0013] On the other hand, each signal line Y is connected to the video line 2 through the corresponding level switching element HSW. A video signal Vsig is supplied to this video line 2 from the exterior. Moreover, it has the H scanner 4 and closing motion control of each level switching element HSW is performed. That is, synchronizing with the predetermined clock signal HCK, the H scanner 4 carries out the sequential transfer of the level start pulse HST, outputs a sampling pulse, and opens and closes the level switching element HSW. A horizontal scanning circuit is constituted by this H scanner 4 and level switching element HSW, a video signal Vsig is sampled to each signal line Y, and a video signal Vsig is written in through the thin film transistor Tr which is in switch-on to the pixel LC for the party chosen within the 1 level period.

[0014] This active-matrix indicating equipment is equipped with the precharge means 5, and reduction-izes the amount of charges and discharges of each signal line Y produced in case the predetermined precharge signal Psig is supplied to each signal line Y and a video signal Vsig is sampled before writing in a video signal Vsig to Pixel LC. As a description matter, this precharge means 5 supplies the precharge signal PsigL to the signal lines Y1 and Y2 of a left half, before writing a video signal Vsig in the pixel LC of a left half, and before it writes a video signal Vsig in the pixel LC of a right half, it supplies the precharge signal PsigR to the signal lines Y3 and Y4 of a right half. thus, having separated the gate line X, the auxiliary line Z, and the counterelectrode near the center of a screen in this invention -- corresponding -- the precharge means 5 -- the precharge signals PsigL and PsigR -- right and left -- it has prepared separately. moreover, control pulse PCGL for carrying out closing motion control of the switching element PSW contained in the precharge means 5 and PCGR -- right and left -- it has prepared

separately. Furthermore, clock signal VCKL and VCKR which are inputted into left V scanner 1L and right V scanner 1R are also prepared separately. This VCKL, VCKR and PCGL, PCGR and PsigL, and PsigR shift the phase of abbreviation one half extent of a 1 level period (1H), respectively. By the starting configuration, while the left half of a screen is writing in the video signal Vsig, a screen right half writes in the precharge signal PsigR. Moreover, while the screen right half is writing the video signal Vsig, the precharge signal PsigL is written in a screen left half. As for PsigL and PsigR, only a phase only shifts, and even if signal level is the same, and it replaces with, it is not cared about.

[0015] With reference to the timing chart of drawing 2, actuation of the active-matrix display shown in drawing 1 R> 1 is explained. According to HST, the H scanner 4 starts actuation, begins to write a video signal Vsig in the pixel of a left half first, and then writes a video signal in the pixel of a right half. The write-in period of the video signal for a party is settled in 1H. the phase of VCKL and VCKR is 1H mutually -- it is shifted the one half grade. More nearly similarly, as for one half, the phase of PCGL and PCGR has also shifted. Furthermore, the phase is shifted by the precharge signals PsigL and PsigR on either side the one half grade. FRP is a signal for reversing a video signal Vsig to every 1H. The phase is mutually shifted from left V scanner 1L and right V scanner 1R by the selection pulses VGL and VGR by which a sequential output is carried out. In the starting timing, before beginning to write a video signal Vsig to the left half of a screen, control pulse PCGL for precharge is outputted, and the precharge signal PsigL is written in to the signal line in the left half of a screen. Then, a video signal is actually written in the left half of a screen. Before a video signal is written in the right half of a screen at this time, control pulse PCGR for precharge is outputted. Thereby, the precharge signal PsigR is written in the signal line in the right half of a screen. Then, a video signal is written in the right half of a screen. And after the writing of a video signal to the left half of a screen is completed, VGL1 falls and the video signal written in the pixel is held. The next control pulse PCGL is outputted again after this, and PsigL of antipole nature is written in to the signal line in the left half of a screen. While a screen right half writes in the precharge signal PsigR while the screen left half is writing in the video signal as mentioned above, and the right half is writing in the video signal conversely, the precharge signal PsigL can be written in a left half, and about [the abbreviation one half of 1H period] time amount is applied to precharge signal write-in time amount.

[0016] Drawing 3 is the typical circuit diagram showing the 2nd operation gestalt of the active-matrix display concerning this invention. A corresponding reference number is given to the 1st operation gestalt shown in drawing 1, and a corresponding part, and an understanding is made easy. In addition, in order to simplify illustration, the liquid crystal pixel LC is omitted. the 1st operation gestalt -- the same -- the gate line X and an auxiliary line Z -- a screen -- it is mostly divided into right and left in the center. However, the common opposite electrical potential difference Vcom is supplied to the auxiliary line Z divided into right and left through internal wiring from the outside. The gate line X divided into right and left is connected to the output stage of the V scanners 1L and 1R on either side through the buffer 10 which consists of an inverter, respectively. The common touch-down potential VSS is supplied to each buffer 10 through internal wiring.

[0017] Next, actuation of the active-matrix display shown in drawing 3 with reference to the timing chart of drawing 4 is explained. (A) expresses the case where it operates by the same timing as the timing chart shown in drawing 2. For example, in an XGA format, a 1 level period (1H) is 14microsec extent. Among this, 10microsec extent is assigned at the write-in period of an actual video signal, and the time amount of 3.7microsec is assigned at the level blanking section. The precharge signal over the left half of a screen begins to write, it is timing at the standup time of PCGL, and the precharge signal over the right half of a screen begins to write, and timing serves as the time of the standup of PCGR. When PCGL starts, it responds for a precharge signal's writing and beginning, and the potential VcomL of the auxiliary line of a left half shakes. Similarly, when PCGR starts, the potential VcomR of the auxiliary line of a right half shakes. However, since the auxiliary line on either side is connected with internal wiring, the potential shake of one side will bring about the potential shake of another side, and whole Vcom Rhine will swing. In addition, although not illustrated, fluctuation arises similarly about VSS Rhine. Since the potential shake by precharge of the piece one half of a screen rides on the video-

signal writing of one half besides a screen for this reason, drawing grace may be spoiled.

[0018] So, with this operation gestalt, as shown in (B), the problem resulting from the potential shake of Vcom Rhine and VSS Rhine is solved by a precharge signal beginning to write and dedicating timing to the level blanking section. As PCGL' and PCGR' show, it specifically starts, and timing is dedicated to the level blanking section, and the time amount to which VcomL' and VcomR' are shaking is placed within the level blanking section. That is, in case right-and-left division precharge is performed, in order to make it the shake of Vcom Rhine at the time of one precharge signal writing and VSS Rhine not influence another video-signal writing, the precharge signals PsigL and PsigR on either side begin to write, and timing is carried out within the level blanking section. Time amount until the potential shake which a precharge signal writes and is produced from the start by this is restored more to accuracy is placed within the level blanking section. as mentioned above -- this operation gestalt -- the inside of the blanking section of a 1 level period -- right and left -- supply of the precharge signal over the signal line of any or one half is started, before this blanking section finishes further, it remains, and supply of the precharge signal over a half signal line is started.

[0019] Drawing 5 is the typical circuit diagram showing the 3rd operation gestalt of the active-matrix display concerning this invention. In order to make an understanding easy, the corresponding reference number is given to the 2nd operation gestalt shown in drawing 3, and the corresponding part. in order to perform right-and-left division precharge also with this operation gestalt -- a screen -- the gate line X and the auxiliary line Z are mostly separated right and left in the center. However, if Vcom Rhine and VSS Rhine are carried out in common like the 2nd operation gestalt, if the gate line X and an auxiliary line Z shake by the writing of a precharge signal, since the piece one half of a screen will ride on the other one half of a screen through this common VSS wiring and Vcom wiring, drawing grace may be spoiled. in order [then,] to avoid the above-mentioned problem with this operation gestalt -- right and left of a screen -- he prepares VSS Rhine and Vcom Rhine separately, and is trying to input from the outside That is, with this operation gestalt, in order to separate the system [precharge] of a potential shake completely electrically, VSS Rhine and Vcom Rhine are established in the left-hand side of a screen, and the right-hand side of each. As mentioned above, in this invention, the screen is divided into right and left by the counterelectrode like the auxiliary line Z at the pixel electrode divided for every pixel, and this corresponding to right-and-left division of a screen including the counterelectrode by which opposite arrangement was carried out. The predetermined opposite electrical potential difference Vcom is supplied through separate wiring to a counterelectrode on either side. Moreover, the predetermined touch-down electrical potential difference VSS is supplied through separate wiring also to the V scanners 1L and 1R on either side.

[0020]

[Effect of the Invention] As explained above, according to this invention, a screen is divided into right and left, timing is shifted, and the precharge signal is written in. Thereby, even if the level blanking section is a short format (XGA, SXGA, HD), it becomes possible to be able to precharge enough, to control defects, such as the vertical reinforcement and cross talk which had become a problem conventionally, and shading, and to improve drawing grace sharply.

[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record.**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.